



# BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

### COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 13 OCT. 2003

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint Petersburg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
[www.inpi.fr](http://www.inpi.fr)

**THIS PAGE BLANK (USPTO)**

# BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

## REQUÊTE EN DÉLIVRANCE page 1/2



Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 W / 300301

REMISE DES PIÈCES DATE <b>12 FEV 2003</b> LIEU <b>75 INPI PARIS</b> N° D'ENREGISTREMENT <b>0301657</b> NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI <b>12 FEV. 2003</b>		<b>1</b> NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE  <b>CABINET BEAU DE LOMENIE</b> <b>158, rue de l'Université</b> <b>75340 PARIS CEDEX 07</b>	
Vos références pour ce dossier (facultatif) <b>H272520/6.PM</b>			
<b>Confirmation d'un dépôt par télécopie</b> <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
<b>2 NATURE DE LA DEMANDE</b>		<b>Cochez l'une des 4 cases suivantes</b>	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
<i>Demande de brevet initiale</i> <i>ou demande de certificat d'utilité initiale</i>		N°	Date <input type="text"/>
		N°	Date <input type="text"/>
Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i>		<input type="checkbox"/>	Date <input type="text"/>
		N°	Date <input type="text"/>
<b>3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)</b>  "Structure semi-conductrice sur substrat à forte rugosité"			
<b>4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE</b>		Pays ou organisation Date <input type="text"/> N° Pays ou organisation Date <input type="text"/> N° Pays ou organisation Date <input type="text"/> N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
<b>5 DEMANDEUR</b>		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»	
Nom ou dénomination sociale		S.O.I.TEC SILICON ON INSULATOR TECHNOLOGIES	
Prénoms			
Forme juridique		Société Anonyme à Conseil d'Administration	
N° SIREN		<input type="text"/>	
Code APE-NAF		<input type="text"/>	
Adresse	Rue	Parc Technologique des Fontaines	
	Code postal et ville	3 8 1 9 0 BERNIN	
	Pays	FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			



REMISE DES PIÈCES DATE <b>12 FEV 2003</b> LIEU <b>75 INPI PARIS</b> N° D'ENREGISTREMENT <b>0301657</b> NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI	DB 540 W / 300301
<b>Vos références pour ce dossier :</b> <i>(facultatif)</i>		<b>H272520/6. PM</b>	
<b>6 MANDATAIRE</b>			
Nom			
Prénom			
Cabinet ou Société		<b>CABINET BEAU DE LOMENIE</b>	
N °de pouvoir permanent et/ou de lien contractuel			
Adresse	Rue	<b>158, rue de l'Université</b>	
	Code postal et ville	<b>75 349 PARIS CEDEX 07</b>	
N° de téléphone <i>(facultatif)</i>		<b>01.44.18.89.00</b>	
N° de télécopie <i>(facultatif)</i>		<b>01.44.18.04.23</b>	
Adresse électronique <i>(facultatif)</i>			
<b>7 INVENTEUR (S)</b>			
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non <b>Dans ce cas fournir une désignation d'inventeur(s) séparée</b>	
<b>8 RAPPORT DE RECHERCHE</b>		<b>Uniquement pour une demande de brevet (y compris division et transformation)</b>	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>	
Paiement échelonné de la redevance		<b>Paiement en deux versements, uniquement pour les personnes physiques</b> <input type="checkbox"/> Oui <input type="checkbox"/> Non	
<b>9 RÉDUCTION DU TAUX DES REDEVANCES</b>		<b>Uniquement pour les personnes physiques</b> <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Requête antérieurement à ce dépôt <i>(joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :</i>	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes			
<b>10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE</b> Jean-Jacques JOLY CPI N° 92.1123 (Nom et qualité du signataire)		<b>VISA DE LA PRÉFECTURE OU DE L'INPI</b>  <b>L. MARIELLO</b>	

5      **Domaine technique et art antérieur**

L'invention concerne le domaine des substrats ou des structures pour la réalisation des composants électroniques, ainsi que les procédés de réalisation de tels substrats ou structures.

10      Elle concerne également les techniques d'assemblage de couches ou de substrats sur des couches rugueuses ou des substrats rugueux.

Elle s'applique aux structures semi-conductrices, et en particulier à celles de type SOI.

15      Ces dernières structures comportent, comme illustré sur la figure 1, une couche 4 de silicium, dans laquelle se trouvent les composants proprement dits, et sous laquelle est réalisée une couche enterrée 2 d'oxyde de silicium. Cette dernière constitue une isolation vis-à-vis des courants parasites et des charges provenant de particules ionisées. Elle permet aussi une bonne isolation de composants voisins réalisés dans la  
20      même couche de silicium, et notamment une diminution sensible des capacités parasites entre de tels composants voisins. Elle repose elle-même sur un substrat 6 en silicium, qui joue le rôle de support mécanique.

Typiquement, la couche superficielle 4 de silicium a par exemple une  
25      épaisseur d'environ 10 à 1000 nm, tandis que la couche d'oxyde 2 a une épaisseur de l'ordre de quelques centaines de nm, par exemple 400 nm.

Ce type de structure peut être obtenu par un procédé de type « SIMOX », ou encore par collage par adhésion moléculaire.

30      Après réalisation d'un ensemble tel que celui de la figure 1, des composants électroniques peuvent être réalisés dans la couche superficielle 4 de silicium. Celle-ci est donc la couche active, la couche d'oxyde 2 étant une couche d'isolation, le substrat 6 servant de support mécanique et permettant la manipulation de l'ensemble.

35      Le bon fonctionnement d'un composant, réalisé dans la couche 4, est lié à différents paramètres dont un est l'échauffement, qui peut limiter fortement les performances du composant.

Il se pose donc le problème de trouver une structure de type semi-conducteur sur isolant, et un procédé de réalisation d'une telle structure, dans laquelle les performances de composants, réalisés ensuite dans la couche de semi-conducteur, ne soient pas limitées par l'échauffement, ou soient moins limitées par l'échauffement que dans les structures connues.

Selon un autre aspect de l'invention, les techniques connues d'assemblage de matériaux ne permettent pas de faire adhérer directement ensemble des substrats ou des couches présentant une rugosité supérieure à une certaine valeur limite, de l'ordre de 0,5 nm RMS, ou difficilement polissable, ou présentant une chimie ne permettant pas un collage par adhésion moléculaire.

Or le besoin se fait parfois sentir, de lier entre eux des matériaux ayant chacun une rugosité supérieure à cette valeur limite, ou dont l'un au moins est difficilement polissable, ou présente une chimie ne permettant pas un collage par adhésion moléculaire, ou de lier un tel matériau avec une couche ou un substrat de matériau pouvant déjà être lui-même compatible avec une liaison directe ou par adhésion moléculaire.

### **Exposé de l'invention**

L'invention concerne tout d'abord une structure semi-conductrice, comportant :

- un substrat, ou une couche de base sur un substrat, ce substrat ou cette couche de base présentant une surface ayant une rugosité supérieure à 0,5 nm RMS, ou ayant une chimie qui n'est pas compatible avec une adhésion moléculaire, ou étant difficilement polissable,
- une couche d'un matériau choisi parmi les matériaux semi-conducteurs,
- une couche, dite couche d'adhérence, située entre le substrat, ou entre la couche de base et la couche de matériau semi-conducteur.

La couche de matériau semi-conducteur, ainsi que la couche d'adhérence, peuvent être liées par adhérence moléculaire, même si le substrat, ou la couche de base formée dessus, possède une rugosité supérieure à la rugosité limite acceptée pour l'adhérence moléculaire ou

« wafer bonding » (qui est d'environ 0,5 nm RMS), ou bien encore si ce substrat, ou la couche de base formée dessus est difficilement polissable ou présente une chimie incompatible avec un collage par adhésion moléculaire.

5 Il est donc possible d'utiliser un substrat, ou une couche de base, en un matériau tel que par exemple le diamant, ou le nitrure d'aluminium (AlN), qui sont chimiquement inertes, très difficiles à polir et possèdent, même après traitement mécano-chimique, une valeur de rugosité largement supérieure à la valeur limite acceptée par le collage par  
10 adhésion moléculaire.

Ces matériaux offrent en outre une forte conductivité thermique, supérieure à 1W/cm/K ou à 10W/cm/K.

Des composants peuvent donc être réalisés dans la couche de matériau semi-conducteur, en particulier des composants de puissance  
15 ou de forte puissance ou de type R.F., puisque la chaleur dégagée peut alors être évacuée par le substrat, qui se comporte comme un puits thermique.

De préférence, la surface de la couche d'adhérence tournée vers la couche de matériau semi-conducteur est située à une distance d'au plus  
20 10 nm des aspérités ou pics maximums de la surface du substrat ou de la couche de base, ce qui optimise l'utilisation des propriétés de transfert thermique de la couche supérieure de silicium vers le substrat.

Une couche intermédiaire peut en outre être prévue entre le substrat et la couche d'adhérence. Une telle couche intermédiaire a un coefficient  
25 de conductivité thermique compris entre celui de la couche d'adhérence et celui du substrat ou de la couche de base ou supérieur à celui du substrat ou de la couche de base.

Cette couche intermédiaire est par exemple en nitrure de silicium.

Une structure selon l'invention, telle qu'exposée ci-dessus, est  
30 compatible avec une adhésion moléculaire de la couche de matériau semi-conducteur, sur la couche d'adhérence.

L'invention concerne également un procédé de réalisation d'une structure semi-conductrice, sur un substrat, ou sur une couche de base sur un substrat, ce substrat ou cette couche de base étant difficilement  
35 polissable, ou présentant une rugosité supérieure à 0,5 nm RMS, ou



ayant une chimie difficilement compatible avec une adhésion moléculaire, ce procédé comportant les étapes suivantes :

- former une couche, dite couche d'adhérence, directement sur le substrat, ou sur la couche de base, ou sur une couche intermédiaire dont le coefficient de conductivité thermique est compris entre celui de la couche d'adhérence et celui du substrat ou de la couche de base, ou supérieur à celui du substrat ou de la couche de base,

- aplanir ladite couche d'adhérence,
- réaliser un collage par adhésion moléculaire entre une couche ou un substrat en un matériau semi-conducteur, et la couche d'adhérence.

La structure selon l'invention est par exemple une structure SOI, le matériau semi-conducteur étant du silicium, et la couche d'adhérence une couche de dioxyde de silicium.

- L'invention concerne également un procédé pour lier ou assembler entre eux deux substrats ou couches présentant chacun une rugosité supérieure à 0,5 nm RMS, ou étant difficilement polissable, ou ayant une chimie difficilement compatible avec une adhésion moléculaire, ce procédé comportant :

- former une couche, dite couche d'adhérence, directement sur chaque substrat, ou sur chaque couche à assembler,
- réaliser un collage par adhésion moléculaire, entre les couches d'adhérence.

- L'invention concerne également un procédé pour lier ou assembler entre eux deux substrats ou couches, dont l'un(e) présente une rugosité supérieure à 0,5 nm RMS, ou est difficilement polissable, ou a une chimie difficilement compatible avec une adhésion moléculaire, et l'autre une rugosité inférieure à 0,5 nm RMS, ou est facilement polissable, ou offre une chimie compatible avec une adhésion moléculaire, ce procédé comportant :

- former une couche, dite couche d'adhérence, directement sur le substrat, ou sur la couche, dont la rugosité est supérieure à 0,5 nm RMS, ou est difficilement polissable, ou a une chimie difficilement compatible avec une adhésion moléculaire,
- réaliser un collage par adhésion moléculaire, entre cette couche d'adhérence et le substrat ou la couche dont la rugosité est inférieure à



0,5 nm RMS ou est facilement polissable, ou offre une chimie compatible avec une adhésion moléculaire.

### **Brève description des figures**

- 5
- la figure 1 représente une structure SOI connue,
  - les figures 2 à 4 représentent diverses structures selon l'invention,
  - les figures 5A à 5D représentent diverses étapes d'un procédé de réalisation d'une structure selon l'invention,
- 10
- les figures 6 et 7 représentent d'autres structures selon l'invention.

### **Description détaillée de modes de réalisation de l'invention**

15

Un premier exemple d'une structure selon l'invention est donnée en figure 2.

Sur cette figure, la référence 10 désigne un substrat (de préférence en un matériau isolant électrique), la référence 14 une couche ou un substrat en un matériau choisi parmi les matériaux semi-conducteurs, par exemple le silicium ou le Germanium (Ge) ou l'Arséniure de Gallium (AsGa) ou le silicium-germanium (SiGe), ou les composants semiconducteurs III - V ou encore II - VI, et la référence 12 une couche d'adhérence, située entre le substrat 10 et la couche ou le substrat 14.

25

Le substrat 10 est un substrat dont une surface 15 est rugueuse, ou possède une rugosité supérieure à 0,4 nm RMS ou à 0,5 nm RMS (RMS = en valeur quadratique moyenne). Ce peut être aussi une surface ayant une chimie qui n'accepte pas une adhésion moléculaire, ou dont les propriétés chimiques ne sont pas compatibles avec une adhésion moléculaire. Ce substrat peut avoir une épaisseur comprise entre, par exemple, 100  $\mu\text{m}$  et 2 mm.

30

En principe, un collage par adhésion moléculaire ne peut être réalisé, ou est très difficile à réaliser, sur un substrat ou une surface possédant une telle rugosité (voir notamment Q.Y. Tong et U. Gösele, Semiconductor Wafer Bonding: Science and Technology, Wiley-Interscience, p.86, 1999).

35



Le substrat 10 peut aussi être en un matériau difficilement polissable, c'est-à-dire qu'une rugosité inférieure à 0,4 nm RMS ou 0,5 nm RMS ne peut être atteinte qu'après une très longue durée de polissage : pratiquement, on ne pourra donc utiliser un tel matériau qu'avec une rugosité supérieure à 0,4 ou à 0,5 nm RMS.

La tenue mécanique d'un assemblage, comportant par exemple un tel substrat et une couche ou un substrat en un matériau semi-conducteur, assemblés par adhésion moléculaire, peut être mesurée à l'aide de l'onde de collage, par exemple en transmission Infra-Rouge dans du silicium, ou en transparence dans le cas de matériaux transparents, ou par microscopie acoustique en présence de couches métalliques. Elle peut aussi s'apprécier par mesure de l'énergie de collage par la technique de la lame (décrite par exemple dans W.P.Maszara et al, J. Appl. Phys., Vol. 64, p. 4943, 1988): à température ambiante, et dans le cas hydrophile, cette énergie est supérieure à 60 mJ/m<sup>2</sup>, par exemple supérieure à 70 mJ/m<sup>2</sup> ou même à 100 mJ/m<sup>2</sup>, si il y a effectivement collage.

La réalisation ou la non-réalisation d'un collage par adhésion moléculaire peut donc être déterminée par ces mesures de tenue mécanique.

Le diamant, ou le nitrure d'aluminium (AlN) sont des exemples de matériaux pouvant être utilisés pour le substrat 10 : ils ont des rugosités bien au-delà de la valeur de 0,5 nm RMS : la rugosité du diamant est comprise entre 30 nm RMS et 100 nm RMS, celle du nitrure d'aluminium est de l'ordre de 1 nm RMS, ou comprise entre 0,5 nm RMS et 10 nm RMS.

Ces matériaux sont chimiquement inertes, notamment dans le cas de l'utilisation de produits tels que le « caro » (mélange à base d'acide sulfurique et d'eau oxygénée) et le Sc1 (mélange à base d'hydroxyde d'ammonium, d'eau oxygénée et d'eau).

De préférence, le substrat 10 est en un matériau à forte conductivité thermique, par exemple supérieure à 1W/cm/K : c'est le cas du diamant ou du nitrure d'aluminium AlN (3,2 W/cm/K).

Une couche, ou couche de base, elle – même sur un substrat, peut aussi être utilisée à la place du substrat 10. Elle peut alors avoir une épaisseur de quelques dizaines de nm, par exemple comprise entre 50

nm et 300 nm. Le matériau de cette couche présente les mêmes propriétés que celles exposées ci-dessus dans le cas d'un substrat seul : ce matériau est difficilement polissable, ou possède une rugosité supérieure à 0,4 nm RMS ou à 0,5 nm RMS (RMS = en valeur  
5 quadratique moyenne), ou présente une surface ayant une chimie qui n'est pas ou qui n'accepte pas une adhésion moléculaire, ou dont les propriétés chimiques ne sont pas compatibles avec une adhésion moléculaire.

Par exemple, le diamant ou le nitrure d'aluminium peut se présenter  
10 soit sous forme de substrat, soit sous forme de couche sur un substrat, ce dernier étant par exemple en silicium. Le dépôt du diamant ou du nitrure d'aluminium peut alors être obtenu par technique de type CVD.

Dans la suite, l'expression « substrat » désignera ces deux alternatives.

15 La couche 12 est appelée couche d'adhérence, et possède, après traitement mécano-chimique, ou polissage, une rugosité inférieure à 5 nm RMS. Elle permet de faire adhérer le matériau du substrat 10 avec la couche ou le substrat 14 en matériau semi-conducteur. Celui-ci est de préférence relié à la couche d'adhérence 12 par adhésion moléculaire.

20 Selon un exemple, la couche 12 est en dioxyde de silicium. Elle peut aussi être en un matériau de type « coefficient K élevé », tels que ceux décrits dans le MRS Bulletin, Mars 2002, Vol. 27, No 3, « Alternative Gate Dielectrics for Microelectronics » : de tels matériaux sont par exemple l'oxyde de hafnium ( $\text{HfO}_2$ ), ou l'oxyde de zirconium ( $\text{ZrO}_2$ ), ou l'alumine  
25 ( $\text{Al}_2\text{O}_3$ ), ou encore le  $\text{Y}_2\text{O}_3$  (oxyde d'yttrium).

Un autre mode de réalisation est illustré sur la figure 3, où des références identiques à celles de la figure 2 y désignent des éléments identiques ou correspondants. Dans la structure illustrée sur cette figure,  
30 est en outre incluse une couche 16, intermédiaire entre la couche d'adhérence et le substrat 10. Le coefficient de conductivité thermique de cette couche intermédiaire est compris entre celui de la couche d'adhérence et celui du substrat ou est supérieur à celui du substrat.

Par exemple, pour une couche d'adhérence en dioxyde de silicium ( $\text{SiO}_2$ ), de coefficient de conductivité thermique 0,01 W/cm/K, et pour un  
35 substrat en diamant de conductivité thermique 20 W/cm/K, une couche

intermédiaire en nitrure de silicium ( $\text{Si}_3\text{N}_4$ ) conviendra, ce matériau ayant un coefficient de conductivité thermique de 0,3 W/cm/K.

Pour une couche 12 de type à coefficient K élevé, on pourra aussi utiliser le nitrure de silicium  $\text{Si}_3\text{N}_4$  comme matériau de la couche  
5 intermédiaire.

De préférence, le matériau de la couche 16 est beaucoup plus résistant ou sélectif que celui de la couche 12 par rapport à des traitements physico-chimiques ou par rapport à un traitement de polissage tel qu'un polissage mécano-chimique. Par contre, il est  
10 préférable de sélectionner pour le matériau de la couche 16 un matériau dont les propriétés concernant le collage par adhésion moléculaire sont semblables à celles du matériau de la couche 12, qu'il s'agisse d'une adhésion moléculaire hydrophile ou hydrophobe.

La figure 4A représente une structure semblable à celle de la figure 3, les rugosités de la surface supérieure du substrat 30 étant cependant  
15 amplifiées ou exagérées.

La couche 22 d'adhérence a été polie, jusqu'à affleurer les pics supérieurs 32, 36 de la surface du substrat 30. Ces pics vont créer des canaux de conduction thermique qui vont favoriser le transfert thermique  
20 entre la couche de silicium 24 et le substrat 30.

Selon une variante, illustrée en figure 4B, la surface 25 de la couche d'adhérence 22 est située à, au maximum, 10 nm du ou des pics ou aspérités maximums du substrat, afin de favoriser au mieux le transfert thermique par les pics ou les aspérités puis par le substrat.

25 Une telle épaisseur ou distance peut être mesurée à tout instant, par exemple par ellipsométrie, même en cours d'élaboration de la couche d'adhérence.

Les rugosités du substrat sont donc exploitées de manière à favoriser un transfert thermique entre les couches supérieures de la structure, qui  
30 contiennent des composants électroniques, et la base du substrat.

Dans le cas du diamant, le transfert thermique entre la couche supérieure de silicium et le substrat en diamant est amélioré d'un facteur environ 60.

Il en résulte que le fonctionnement de composants réalisé dans la  
35 couche 24 est lui-même amélioré. De tels composants peuvent donc être des composants de puissance, qui dégagent une puissance calorifique

importante, tels que les composants IGBT, et/ou MOSFET, et/ou composants RF (pour fonctionnement rapide).

Typiquement, la couche d'adhérence 12,22 a, après polissage, une épaisseur comprise entre par exemple 5 nm et 50 nm, et la couche  
5 intermédiaire 16, 26 a une épaisseur comprise entre 5 nm et 20 nm.

Un procédé de réalisation d'un composant selon l'invention va être décrit en liaison avec les figures 5A à 5D.

La figure 5A représente un substrat 10 dont la rugosité est fortement exagérée. Un tel substrat n'a pas subi de traitement de polissage, ou ne  
10 peut être poli, et possède une rugosité ou une micro-rugosité de surface supérieure à la valeur limite acceptée par le collage par adhésion moléculaire, par exemple une rugosité ou une micro-rugosité de surface comprise entre 5 nm RMS (ou 20 ou 30 nm RMS) et 100 nm RMS.

Une couche intermédiaire 26, ici en  $\text{Si}_3\text{N}_4$ , est réalisée sur le substrat.  
15 Cette couche épouse les rugosités de la surface supérieure du substrat. Elle est par exemple déposée par technique PECVD ou LPCVD.

Il est ensuite procédé à la formation d'une couche d'adhérence, par exemple une couche en dioxyde de silicium  $\text{SiO}_2$ . De préférence, l'épaisseur initiale de cette couche est supérieure à 2,8 ou 3 fois la valeur  
20 de la rugosité de la surface du substrat 30, afin d'avoir une couche plate après polissage.

Par exemple, cette couche aura initialement une valeur comprise entre 0,5 et 1  $\mu\text{m}$ , ou encore entre 0,5 et 10  $\mu\text{m}$ .

Cette couche d'adhérence subit ensuite un traitement de polissage, par exemple, par polissage mécano-chimique. Certains procédés, tels  
25 que le procédé STI (décrit par exemple dans l'article de C.P. Chang et al. « A highly Manufacturable Corner Rounding Solution for 0, 18  $\mu\text{m}$  Shallow Trench Isolation », IEDM 97 – p.661), présentent une sélectivité importante entre le nitrure 26 et la couche d'oxyde 22. Une telle  
30 sélectivité permet d'aplanir la couche 22 jusqu'à ce que la couche 26 soit atteinte, cette dernière servant alors de couche d'arrêt au procédé d'aplanissement.

Une couche ou un substrat en silicium 24 peut ensuite être fixée ou collée sur la couche 22 par adhésion moléculaire, selon des techniques  
35 connues, par exemple décrites dans l'ouvrage de Tong et Gösele déjà cité ci-dessus.



Il est possible de réaliser l'adhésion d'un substrat en silicium puis de réaliser une couche mince par amincissement et polissage de ce substrat, ou encore d'utiliser la technique dite « SMART CUT », par exemple décrite dans l'article de A.J. Auberton – Hervé et al. « Why can Smart-Cut change the future of microelectronics? » paru dans Journal of High-Speed Electronics and Systems, Vol.10, No1 (2002), p.131 - 146.

Selon encore une autre technique, on utilise la formation d'une couche de silicium poreux formant plan de fragilisation, par exemple comme décrit dans l'article de K.Sataguchi et al. « Eltran by Splitting Porous Si layers », Proceedings of the 9<sup>th</sup> International Symposium on Silicon-on-Insulator Tech. and Device, 99 – 3, The Electrochemical Society, Seattle, p.117 – 121, 1999.

On obtient donc une structure telle que celle de la figure 5D, similaire à la figure 4A.

Des composants peuvent ensuite être réalisés dans la couche 24, en particulier des composants de puissance ou R.F., pour lesquels le substrat 10 peut éliminer la chaleur produite lors de leur fonctionnement.

Un autre exemple de mode de réalisation de l'invention est illustré en figure 6.

Il concerne la liaison entre un substrat 40 ou une couche 40 de forte rugosité (supérieure à 0,4 nm RMS ou 0,5 nm RMS, par exemple comprise entre 1 nm RMS et 100 nm RMS), ou difficilement polissable ou ayant une chimie difficilement compatible avec un collage par adhésion moléculaire, et un substrat 50 ou une couche 50 ayant les mêmes propriétés. Par exemple, le substrat 40 est en diamant tandis que le substrat 50 est en diamant ou en AlN (nitrure d'aluminium).

Sur chaque substrat, une couche d'adhérence 42, 52 est formée, comme déjà expliqué ci-dessus, directement ou avec une couche intermédiaire, également comme déjà expliqué ci-dessus. Chacune de ces couches d'adhérence est par exemple en dioxyde de silicium. Il est ensuite possible d'établir une liaison par adhérence moléculaire entre ces deux couches d'adhérence.

Ce procédé est notamment intéressant dans le cas où au moins l'un des deux matériaux est difficilement polissable et est chimiquement inerte, au sens déjà indiqué ci-dessus.

Tout ce qui a été expliqué ci-dessus reste donc valable, en remplaçant la couche de silicium ou de matériau semi-conducteur par un ensemble substrat rugueux – couche d'adhérence.

5 Plus généralement, l'invention concerne aussi, comme illustré sur la figure 7, la liaison entre un substrat 40 ou une couche 40 difficilement polissable ou de forte rugosité, en tout cas supérieure à 0,5 nm RMS, par exemple comprise entre 1 nm RMS et 100 nm RMS, ou ayant une chimie incompatible avec une liaison par adhérence moléculaire, et un substrat 60 ou une couche 60 ayant une chimie et une rugosité compatibles avec  
10 une liaison par adhésion moléculaire, la rugosité étant inférieure à 0,5 nm RMS.

Sur le substrat 40, une couche d'adhérence 42 est formée, directement ou avec une couche intermédiaire comme expliqué ci-dessus. La couche d'adhérence est par exemple en dioxyde de silicium. Il  
15 est ensuite possible d'établir une liaison par adhérence moléculaire entre cette couche d'adhérence et la couche ou le substrat 60.

Tout ce qui a été expliqué ci-dessus reste donc valable, en remplaçant la couche de silicium ou de matériau semi-conducteur par la couche ou le substrat 60.

20 Dans ces deux derniers cas, le matériau de chaque substrat difficilement polissable ou à rugosité supérieure à 0,5 nm RMS, ou à chimie incompatible avec un collage par adhésion moléculaire, peut être par exemple choisi parmi les matériaux déjà mentionnés ci-dessus (diamant, nitrure d'aluminium AlN).

25

## REVENDICATIONS

- 5        1. Structure semi-conductrice, comportant :
- un substrat (10, 30), ou une couche de base, présentant une surface ayant une rugosité supérieure à 0,5 nm RMS, ou dont la chimie n'est pas compatible avec une adhésion moléculaire,
  - une couche (14, 24) de matériau choisi parmi les matériaux semi-

10    conducteurs,

  - une couche (12, 22), dite couche d'adhérence, située entre le substrat, ou la couche de base, et la couche de matériau choisi parmi les matériaux semi-conducteurs.
- 15        2. Structure selon la revendication 1, le substrat, ou la couche de base, ayant une conductivité thermique supérieure à 1W/cm/K.
- 20        3. Structure selon l'une des revendications 1 ou 2, le substrat, ou la couche de base, étant en diamant ou en nitrure d'aluminium.
- 25        4. Structure selon l'une des revendications 1 à 3, comportant en outre une couche intermédiaire (16, 26) entre le substrat, ou la couche de base, et la couche d'adhérence, dont le coefficient de conductivité thermique est compris entre celui de la couche d'adhérence et celui du substrat ou de la couche de base, ou supérieure à celui du substrat ou de la couche de base.
- 30        5. Structure selon la revendication 4, la couche intermédiaire étant en nitrure de silicium.
- 35        6. Structure selon l'une des revendications 1 à 5, la couche d'adhérence (12, 22) et la couche (14, 24) de matériau semi-conducteur étant liées par adhésion moléculaire.
7. Structure selon l'une des revendications 1 à 6, la couche d'adhérence ayant une épaisseur comprise entre 5 nm et 20 nm.



8. Structure selon l'une des revendications 1 à 7, la couche d'adhérence étant en dioxyde de silicium ( $\text{SiO}_2$ ) ou en nitrure de silicium ( $\text{Si}_3\text{N}_4$ ), ou en oxyde de hafnium, ou en oxyde de zirconium, ou en alumine, ou en oxyde d'yttrium.

5

9. Structure selon l'une des revendications 1 à 8, le matériau semi-conducteur étant du silicium ou du germanium ou de l'arséniure de gallium, ou du silicium-germanium, ou un composé semiconducteur III – V ou II – VI.

10

10. Structure selon la revendication 9, la structure étant de type SOI.

11. Structure selon l'une des revendications 1 à 10, la surface de la couche d'adhérence tournée vers le matériau semi-conducteur, étant  
15 située à une distance d'au plus 10 nm de la surface, ou des aspérités ou pics maximums, du substrat ou de la couche de base.

12. Structure selon l'une des revendications 1 à 11, au moins un  
20 composant de puissance et/ou au moins un composant RF étant réalisé dans la couche de matériau choisi parmi les matériaux semi-conducteurs.

13. Structure selon l'une des revendications 1 à 12, comportant au  
moins un composant de type IGBT ou MOSFET dans la couche de  
matériau choisi parmi les matériaux semi-conducteurs.

25

14. Structure comportant deux substrats ou couches (40, 50, 60),  
dont le premier (40) substrat ou la première couche, présente une  
rugosité supérieure à 0,5 nm RMS, ou dont la chimie n'est pas  
compatible avec une adhésion moléculaire, cette structure comportant  
30 une couche (42, 52) dite couche d'adhérence, située entre le premier  
substrat (40), ou la première couche, et le deuxième substrat (50, 60),  
ou la deuxième couche.

15. Structure selon la revendication 14, le premier substrat ou la  
35 première couche étant en diamant ou en nitrure d'aluminium.



16. Structure selon la revendication 14 ou 15, la couche d'adhérence étant en dioxyde de silicium ou en nitrure de silicium ou en oxyde de hafnium, ou en oxyde de zirconium, ou en alumine, ou en oxyde d'yttrium.

17. Structure selon l'une des revendications 14 à 16, le deuxième substrat (50) ou la deuxième couche présentant une rugosité supérieure à 0,5 nm RMS, ou ayant une chimie incompatible avec un collage par adhésion moléculaire.

18. Procédé de réalisation d'une structure semi-conductrice, sur un substrat (10, 30) ou une couche de base, présentant une rugosité supérieure à 0,5 nm RMS, ou dont la chimie n'est pas compatible avec une adhésion moléculaire, comportant les étapes suivantes :

- former une couche (12, 22), dite couche d'adhérence, directement sur le substrat ou la couche de base, ou sur une couche intermédiaire (16, 26) dont le coefficient de conductivité thermique est compris entre celui de la couche d'adhérence et celui du substrat ou de la couche de base ou est supérieur à celui du substrat ou de la couche de base,

- aplanir ladite couche d'adhérence,  
- réaliser un collage par adhésion moléculaire entre une couche ou un substrat (14, 24) en un matériau semi-conducteur et la couche d'adhérence.

19. Procédé selon la revendication 18, le substrat ou la couche de base ayant une conductivité thermique supérieure à 1W/cm/K.

20. Procédé selon l'une des revendications 18 ou 19, le substrat ou la couche de base étant en diamant ou en nitrure d'aluminium.

21. Procédé selon l'une des revendications 18 à 19, la couche intermédiaire étant en nitrure de silicium.

22. Procédé selon l'une des revendications 18 à 21, la couche d'adhérence étant en dioxyde de silicium ou en nitrure de silicium ou en

oxyde de hafnium, ou en oxyde de zirconium, ou en alumine, ou en oxyde d'yttrium.

23. Procédé selon l'une des revendications 18 à 21, la couche  
5 d'adhérence ayant, avant aplanissement, une épaisseur supérieure à 2,8 fois la valeur de la rugosité du substrat ou de la couche de base.

24. Procédé selon l'une des revendications 18 à 23, comportant en  
10 outre une étape de réalisation d'au moins un composant de puissance et/ou d'au moins un composant R.F. dans la couche ou le substrat semi-conducteur.

25. Procédé pour lier ou assembler entre eux deux substrats ou  
15 couches (40, 60), dont le premier (40) substrat ou la première couche, présente une rugosité supérieure à 0,5 nm RMS, ou dont la chimie n'est pas compatible avec une adhésion moléculaire, et le deuxième (60) substrat ou la deuxième couche une rugosité inférieure à 0,5 nm RMS ce procédé comportant :

- 20 - former une couche (42), dite couche d'adhérence, directement sur le premier substrat, ou sur la première couche, dont la rugosité est supérieure à 0,5 nm RMS,
- réaliser un collage par adhésion moléculaire, entre cette couche d'adhérence et le deuxième substrat (60) ou la deuxième couche, dont la rugosité est inférieure à 0,5 nm RMS.

25 26. Procédé pour lier ou assembler entre eux deux substrats (40, 50) ou couches présentant une rugosité supérieure à 0,5 nm RMS, ou dont la chimie n'est pas compatible avec une adhésion moléculaire, ce procédé comportant :

- 30 - former une couche (42, 52), dite couche d'adhérence, directement sur chaque substrat, ou sur chaque couche à assembler,
- réaliser un collage par adhésion moléculaire, entre ces couches d'adhérence.



27. Procédé selon l'une des revendications 25 ou 26, le matériau de chacun des substrats, ou couches, à rugosité supérieure à 0,5 nm RMS étant choisi parmi le diamant et le nitrure d'aluminium.

5

10

15

20

25

30

35

40

1/3

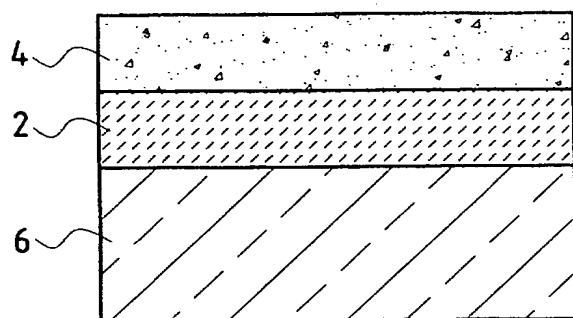


FIG.1

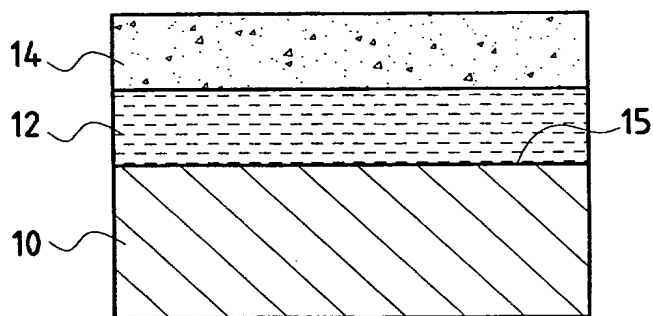


FIG.2

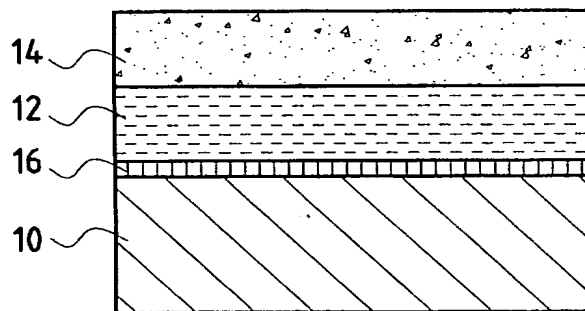


FIG.3

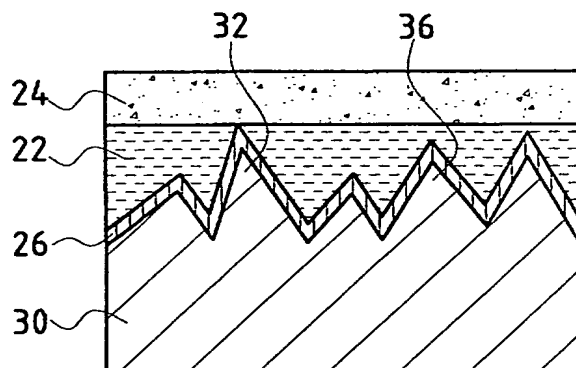


FIG.4A



2/3

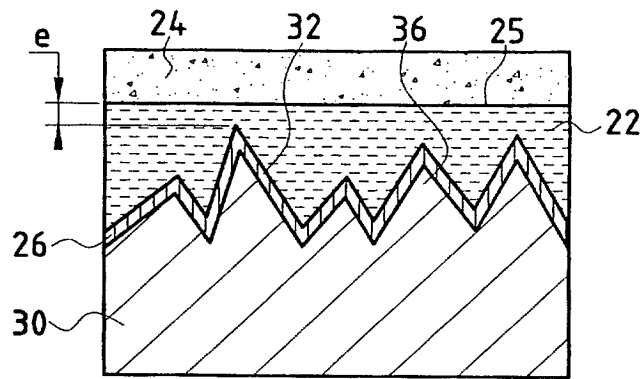


FIG.4B

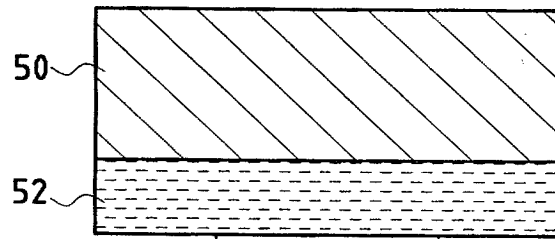


FIG.6

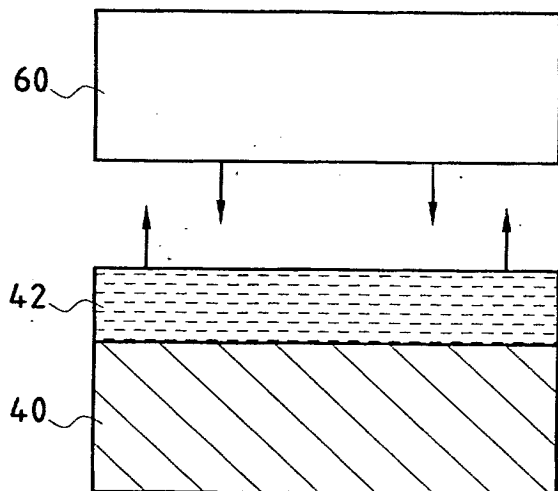
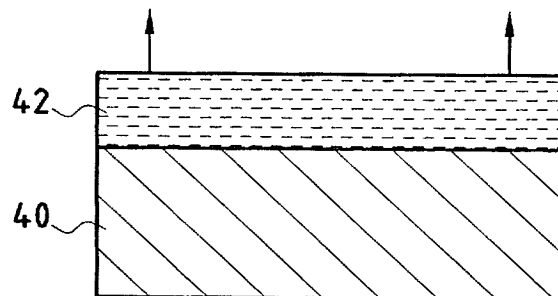


FIG.7

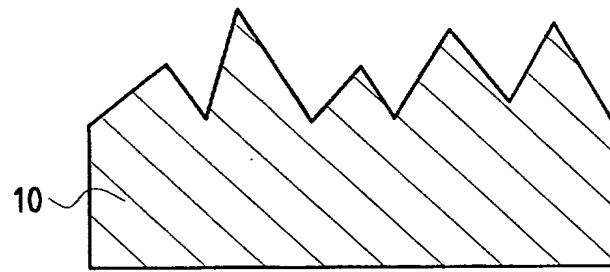


FIG. 5A

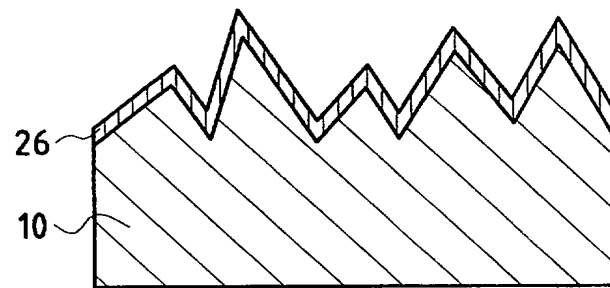


FIG. 5B

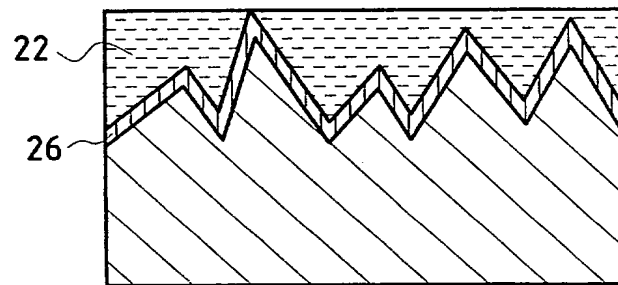


FIG. 5C

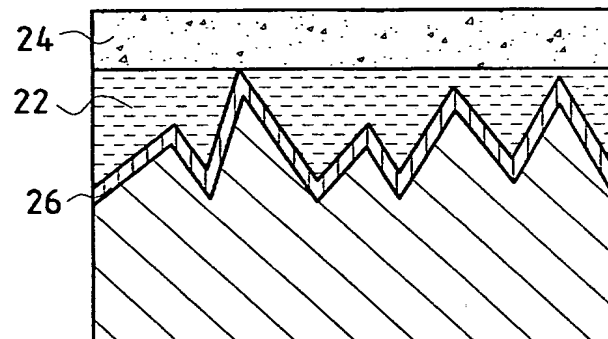


FIG. 5D

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08


Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

DÉSIGNATION D'INVENTEUR(S) Page N° 1. / 2..

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W / 260899

<b>Vos références pour ce dossier</b> (facultatif)		H272520/6.PM	
<b>N° D'ENREGISTREMENT NATIONAL</b>		03 01657	
<b>TITRE DE L'INVENTION</b> (200 caractères ou espaces maximum)			
"Structure semi-conductrice sur substrat à forte rugosité"			
<b>LE(S) DEMANDEUR(S) :</b>			
S.O.I.TEC      SILICON ON INSULATOR TECHNOLOGIES			
<b>DESIGNE(NT) EN TANT QU'INVENTEUR(S) :</b> (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
<b>Nom</b>		RAYSSAC	
<b>Prénoms</b>		Olivier	
<b>Adresse</b>	<b>Rue</b>	Chemin du Chapitre	
	<b>Code postal et ville</b>	38100	GRENOBLE FRANCE
<b>Société d'appartenance (facultatif)</b>			
<b>Nom</b>		MARTINEZ	
<b>Prénoms</b>		Muriel	
<b>Adresse</b>	<b>Rue</b>	3, rue Casimir Brenier	
	<b>Code postal et ville</b>	38120	SAINT EGREVE FRANCE
<b>Société d'appartenance (facultatif)</b>			
<b>Nom</b>		BISSON	
<b>Prénoms</b>		Sephora	
<b>Adresse</b>	<b>Rue</b>	15, rue du Docteur Mazet	
	<b>Code postal et ville</b>	38000	GRENOBLE FRANCE
<b>Société d'appartenance (facultatif)</b>			
<b>DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)</b>		Paris, le 12 février 2003	
JOLY Jean-Jacques (CPI 92-1123)		 CABINET BEAU DE LOMENIE	



DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg

75800 Paris Cedex 08


Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

DÉSIGNATION D'INVENTEUR(S) Page N° .2. / .2.

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W / 260899

<b>Vos références pour ce dossier</b> (facultatif)		H272520/6.PM	
<b>N° D'ENREGISTREMENT NATIONAL</b>		0301657	
<b>TITRE DE L'INVENTION</b> (200 caractères ou espaces maximum)			
"Structure semi-conductrice sur substrat à forte rugosité"			
<b>LE(S) DEMANDEUR(S) :</b>			
S.O.I.TEC      SILICON ON INSULATOR TECHNOLOGIES			
<b>DESIGNE(NT) EN TANT QU'INVENTEUR(S) :</b> (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		PORTIGLIATTI	
Prénoms		Laurent	
Adresse	Rue	36, rue de la Beaume	
	Code postal et ville	38180	SEYSSIN FRANCE
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
<b>DATE ET SIGNATURE(S)</b> <b>DU (DES) DEMANDEUR(S)</b> <b>OU DU MANDATAIRE</b> (Nom et qualité du signataire)		Paris, le 12 février 2003	
JOLY Jean-Jacques (CPI 92-1123)		 CABINET BEAU DE LOMENIE	

**THIS PAGE BLANK (USPTO)**